

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SATO, et al.
Serial No.: Not yet assigned
Filed: December 24, 2003
Title: DISPLAY DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 24, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-377290, filed December 26, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Paul J. Skwierawski
Registration No. 32,173

PJS/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

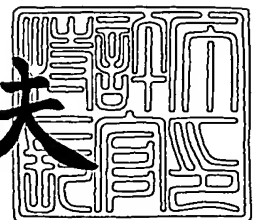
出 願 番 号 特 願 2 0 0 2 - 3 7 7 2 9 0
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 7 2 9 0]

出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200366

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 秀夫

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 西谷 茂之

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 友彦

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 波多野 睦子

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 基板上に設けられた半導体層と、

前記半導体層上に設けられた複数の薄膜トランジスタとを備える表示装置であって、

前記半導体層は、第 1 の疑似単結晶領域と、前記第 1 の疑似単結晶領域から分離された位置に形成された第 2 の疑似単結晶領域とを有し、

前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる 2 つ以上の薄膜トランジスタを、同一の疑似単結晶領域内に配置したことを特徴とする表示装置。

【請求項 2】 基板上に設けられた、疑似単結晶領域を有する半導体層と、

前記疑似単結晶領域内に設けられた複数の薄膜トランジスタとを備える表示装置であって、

前記疑似単結晶領域は、半導体が前記基板に平行な方向に細長い帯状に成長した結晶を有し、

前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる 2 つ以上の薄膜トランジスタは、それぞれの薄膜トランジスタのゲート長の方向が前記帯状に成長した結晶の長手方向に対して±20度以内の傾きで配置されているとともに、それぞれの薄膜トランジスタのチャネル領域を前記帯状に成長した結晶の成長方向と平行に仮想的に延長した時にお互いに少なくとも一部が重畳するように配置されていることを特徴とする表示装置。

【請求項 3】 前記重畳の割合が 50%以上であることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記重畳の割合が 80%以上であることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】 基板上に設けられた、疑似単結晶領域を有する半導体層と、前記疑似単結晶領域内に設けられた複数の薄膜トランジスタとを備える表示装

置であって、

前記疑似単結晶領域は、半導体が前記基板に平行な方向に細長い帯状に成長した結晶を有し、

前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、それぞれの薄膜トランジスタのゲート長の方向が前記帯状に成長した結晶の長手方向に対して±20度以内の傾きで配置されているとともに、それぞれの薄膜トランジスタを流れる電流の方向が互いに一致するように配置されていることを特徴とする表示装置。

【請求項6】 前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、差動増幅回路を構成する差動対のトランジスタであることを特徴とする請求項1ないし請求項5のいずれか1項に記載の表示装置。

【請求項7】 前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、差動増幅回路を構成する能動負荷回路の一对のトランジスタであることを特徴とする請求項1ないし請求項5のいずれか1項に記載の表示装置。

【請求項8】 前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、差動増幅回路を構成する能動負荷回路の一对のトランジスタ、および、前記能動負荷回路の出力電圧が、ゲートに印加されるトランジスタであることを特徴とする請求項1ないし請求項5のいずれか1項に記載の表示装置。

【請求項9】 前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、カレントミラー回路を構成する一对のトランジスタであることを特徴とする請求項1ないし請求項5のいずれか1項に記載の表示装置。

【請求項10】 前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、互いに並列に接続され、等価的に1つのトランジスタを構成することを特徴とする請求項1ないし請求項5の

いずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置に係わり、特に、疑似単結晶化技術 (SELAX; Selectively Enlarging Laser X'tallization、あるいは、このSELAXに類似する方法) で作成される複数のトランジスタ (例えば、ペアトランジスタ) の配置方法に関する。

【0002】

【従来の技術】

TFT (Thin Film Transistor) 方式の液晶表示モジュールは、ノート型パーソナルコンピュータ等の表示装置として広く使用されている。

この液晶表示モジュールとして、薄膜トランジスタ (TFT) をポリシリコン上に形成するものも知られている。

一方、最近、ポリシリコン、あるいはアモルファスシリコンを、レーザによって横方向 (基板に平行な方向) に再結晶化し、大粒径化させる技術が注目されている (特許文献 1、非特許文献 1 参照)。

例えば、前述の非特許文献 1 には、この非特許文献 1 に記載された方法により作成された半導体 (シリコン) 層に薄膜トランジスタを形成することにより、通常のポリシリコン膜に形成される薄膜トランジスタに比して、移動度 (μ) を約 3 倍に向上できることが報告されている。

【0003】

なお、本願発明に関連する先行技術文献情報としては以下のものがある。

【特許文献 1】

国際公開 第 97/45827 号パンフレット

【非特許文献 1】

Society for Information Display 2002 (SID 02) DIGEST

pp. 158-161

【0004】

【発明が解決しようとする課題】

図 11 は、前述の非特許文献 1 に記載されている、レーザによる多結晶シリコンの疑似単結晶化方法を説明するための図である。

この方法では、ガラス基板 1 上に形成された多結晶シリコン膜 2 に、図 11 に示す矢印 A の方向に、ガラス基板 1 を走査しながらレーザ 4 を照射する。このレーザ 4 には、連続 (CW) レーザを用いている。

このレーザ照射によって、多結晶シリコン膜 2 は温度が上昇して熔融し、照射位置が次に進むと温度が下降し、多結晶シリコン膜 2 は再結晶化し、横方向に細長い帯状に大粒径化された多結晶膜が生成される。

以下、本明細書では、この多結晶膜を疑似単結晶領域 3 と定義する。但し、非特許文献 1 に記載された方法に限定されず、これに類似する方法で形成された場合も疑似単結晶領域 3 の定義に含まれる。

この熔融と再結晶化は、ガラス基板 1 の走査方向 (図 11 に示す矢印 A の方向) と逆の方向に進むので、疑似単結晶領域 3 の結晶成長方向 (図 11 に示す矢印 B の方向) は、ガラス基板 1 の走査方向と並行でその方向は逆となる。

この再結晶化では、レーザ光をビームエキスパンダで Y 方向に長い線状のビームに変換する。

この時の X または Y 方向のレーザ照射強度を、図 12、図 13 に示す。この図 12、図 13 において、横軸は位置を示し、縦軸はレーザの照射強度を示す。

X 方向のレーザ強度分布はほぼガウス分布となり、また、Y 方向の分布は、Y1-Y2 間の結晶化範囲 (図 13 に示す C の範囲) で若干の強度差を生じ、結晶化の状態はこの強度差によって変化する。

【0005】

また、レーザの Y 方向の位置における強度の分布が一定であったとしても、次のような問題を生ずる場合がある。

すなわち、非常に長い領域に渡って横方向に結晶を成長させ続けることは困難なので、疑似単結晶領域 3 の形成の途中でレーザ 4 が多結晶シリコン膜 2 に照射されないようにする、あるいはレーザ 4 の強度を弱めるなどして、一旦、横方向への成長を途切れさせ、既に形成された一の疑似単結晶領域 3 から離れた位置で再び所定の強度のレーザを照射して、先程とは分離された別の箇所に他の疑似単

結晶領域 3 を形成する場合がある。

また、レーザ 4 は走査方向 (X 方向) よりも、これに交差する方向 (Y 方向) に長い形状となっているが、ガラス基板 1 などの基板の大きさに比べてはるかに小さいため、ガラス基板 1 の端まで行ったら Y 方向の位置をずらして往復走査することにより、先程とは別の箇所に他の疑似単結晶領域 3 を形成する場合がある。

このように、2 回以上に分けて複数の箇所に疑似単結晶領域 3 を形成する場合、形成されたそれぞれの疑似単結晶領域 3 毎に結晶化の状態が微妙に異なる場合があり、その上に形成された薄膜トランジスタの特性が疑似単結晶領域 3 毎に異なる場合がある。

【0006】

前述の非特許文献 1 に記載された方法により作成された半導体層上に薄膜トランジスタを形成することにより、駆動回路などの周辺回路内蔵の液晶表示モジュールを作成することが可能である。

このような周辺回路内蔵の液晶表示モジュールでは、内蔵されるデジタルアナログ変換回路 (DAC) のための基準電圧発生回路、あるいは、ドレイン信号線毎に設けられるバッファアンプに差動増幅回路が必要とされる。

この差動増幅回路には、トランジスタの特性が一致する (あるいは、トランジスタの特性の相対誤差が小さく、良好な整合性を有する) ペアトランジスタが必要となる。

しかしながら、前述したように、前述の非特許文献 1 に記載された方法では、再結晶化させるためのレーザの強度分布により、結晶化の状態が微妙に異なるため、この再結晶化したシリコン層上に形成したペアトランジスタの特性の相対誤差が大きくなるという問題あった。

このため、前述の非特許文献 1 に記載の方法により作成された半導体層上に形成される薄膜トランジスタは、数 mV のオフセット電圧を要求されるドレインドライバ用のバッファアンプ等の高い精度が要求されるアナログ回路に適用する場合には問題が生じる場合があった。

【0007】

また、これまでに説明した問題は、非特許文献 1 に記載された疑似単結晶化技術に限られず、他の類似する疑似単結晶化技術を用いて横方向に細長い帯状の結晶を成長させた疑似単結晶領域 3 を形成する場合でも生じる。

走査方向（X 方向）に交差する方向（Y 方向）におけるレーザ 4 の強度分布のばらつき、又は、複数の箇所に分離された疑似単結晶領域 3 を形成する場合の結晶化状態のばらつきという点では共通するからである。

このような原因に起因する問題は、多結晶の粒径が小さい場合にはそれぞれの薄膜トランジスタに多数の多結晶が存在することにより特性のばらつきが平均化されるためほとんど目立たないが、横方向に細長い帯状の結晶を成長させた場合にはそれぞれの薄膜トランジスタに存在する結晶の数が少なくなるため、ばらつきが顕著になってくる。

【 0 0 0 8 】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、疑似単結晶技術で作成されたトランジスタであって、差動増幅回路などに使用されるペアトランジスタの特性のばらつきを少なくすることが可能な表示装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【 0 0 0 9 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明は、基板上に設けられた半導体層と、前記半導体層上に設けられた複数の薄膜トランジスタとを備える表示装置であって、前記半導体層は、第 1 の疑似単結晶領域と、前記第 1 の疑似単結晶領域から分離された位置に形成された第 2 の疑似単結晶領域とを有し、前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる 2 つ以上の薄膜トランジスタを、同一の疑似単結晶領域内に配置したことを特徴とする。

また、本発明は、基板上に設けられた、疑似単結晶領域を有する半導体層と、

前記疑似単結晶領域内に設けられた複数の薄膜トランジスタとを備える表示装置であって、前記疑似単結晶領域は、半導体が前記基板に平行な方向に細長い帯状に成長した結晶を有し、前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、それぞれの薄膜トランジスタのゲート長の方向が前記帯状に成長した結晶の長手方向に対して ± 20 度以内の傾きで配置されているとともに、それぞれの薄膜トランジスタのチャネル領域を前記帯状に成長した結晶の成長方向と平行に仮想的に延長した時にお互いに少なくとも一部が重畳するように配置されていることを特徴とする。

また、本発明では、前記重畳の割合が50%以上、より好ましくは、80%以上であることを特徴とする。

【0010】

また、本発明は、基板上に設けられた、疑似単結晶領域を有する半導体層と、前記疑似単結晶領域内に設けられた複数の薄膜トランジスタとを備える表示装置であって、前記疑似単結晶領域は、半導体が前記基板に平行な方向に細長い帯状に成長した結晶を有し、前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、それぞれの薄膜トランジスタのゲート長の方向が前記帯状に成長した結晶の長手方向に対して ± 20 度以内の傾きで配置されているとともに、それぞれの薄膜トランジスタを流れる電流の方向が互いに一致するように配置されていることを特徴とする。

ここで、前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、差動増幅回路を構成する差動対のトランジスタ、または、能動負荷回路の一对のトランジスタ、並びに、差動増幅回路を構成する能動負荷回路の一对のトランジスタと能動負荷回路の出力電圧がゲートに印加されるトランジスタである。

また、前記トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタは、カレントミラー回路を構成する一对のトランジスタ、あるいは、互いに並列に接続され等価的に1つのトランジスタを構成

する複数のトランジスタである。

【0011】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。本実施の形態の液晶表示装置は、前述の疑似単結晶化技術（例えば、SELAX）により作成された半導体層を備える。

本実施の形態の液晶表示装置は、ドレインドライバ100と、タイミング制御回路200と、参照データ発生回路300と、ランプ電圧発生回路400と、ゲートドライバ500と、表示部800とで構成される。

表示部800には、マトリクス状に配置される複数の画素と、各画素に映像信号電圧を供給するドレイン信号線Dと、各画素に走査信号電圧を供給するゲート信号線Gとが形成される。

【0012】

各画素は、薄膜トランジスタで構成される画素トランジスタ（GTFT）を備え、この画素トランジスタ（GTFT）は、ドレイン信号線Dと画素電極（ITO1）との間に接続され、かつ、ゲートはゲート信号線Gに接続される。

画素電極（ITO1）と対向電極（コモン電極ともいう；図示せず）との間には、液晶が封入されるので、画素電極（ITO1）と対向電極との間には、画素容量（CLC）が等価的に接続される。

なお、図1では、図示の簡略化のため、画素トランジスタ（GTFT）は、1個のみを図示している。

ドレインドライバ100は、シフトレジスタ110と、ラッチ回路120と、ラッチ回路130と、コンパレータ140と、サンプルホールド回路150とで構成される。

【0013】

タイミング制御回路200には、クロック（CLK）、水平同期信号（Hs）

、垂直同期信号 (V s)、表示タイミング信号 (D T M G)、並びに、表示データ (D i) が入力され、タイミング制御回路 200 は、ドレインドライバ 100、参照データ発生回路 300、ランプ電圧発生回路 400、並びに、ゲートドライバ 500 を制御する信号を生成する。

以下、本実施の形態の液晶表示装置の駆動方法について説明する。

なお、一般に、液晶表示装置は、液晶の劣化を防止するために、交流化駆動方法が採用されるが、本実施の形態の液晶表示装置は、交流化駆動方法として、ドット反転法を採用している。

このドット反転法は、行方向および列方向において、互いに隣接する画素に印加される映像信号の極性が互いに逆極性となる駆動方法である。

シフトレジスタ 110 は、タイミング制御回路 200 から送出されるスタート信号 (H S T) とクロック信号 (H C K) とで動作し、ラッチ回路 120 を制御する多相パルスを出力する。

ラッチ回路 120 は、この多相パルスに基づき、タイミング制御回路 200 から送出される表示データ (D A T A) を、順次 1 水平走査ライン分保持する。

【0014】

ラッチ回路 130 は、タイミング制御回路 200 から送出される、1 水平走査ライン分の表示データの転送終了のタイミング信号 (L T) が入力されると、ラッチ回路 120 の表示データを同一のタイミングで一斉に保持する。

コンパレータ 140 は、ラッチ回路 130 に保持された表示データと、参照データ発生回路 300 から送出される参照データ (N C N T) との大小を比較する。

より詳しくは、タイミング制御回路 200 から送出される初期化信号 (R S) で初期化された後、参照データ (N C N T) が表示データよりも小さいか、または等しい時に H i g h レベル (以下、H レベルという) を出力する。

参照データ発生回路 300 は、タイミング制御回路 200 から送出されるクロック (C K) と初期化信号 (R S) を入力とするアップカウンタである。

サンプルホールド回路 150 は、コンパレータ 140 の出力、交流化信号 (M, M B)、ランプ電圧発生回路 400 の出力 (R A M P 1, R A M P 2) を入力

とし、表示部 800 のドレイン線 D に画素駆動電圧を出力する。

ここで、交流化信号 (M)、交流化信号 (MB) は、表示部 800 の画素電極に印加する映像信号電圧の極性を制御する論理信号であり、互いに反転する関係にあり、ライン毎、および、フレーム毎にそれらの論理は反転する。

【0015】

ランプ電圧発生回路 400 の出力 (RAMP 1) は正極性のランプ電圧、および出力 (RAMP 2) は負極性のランプ電圧であり、出力 (RAMP 1) および出力 (RAMP 2) のそれぞれのランプ電圧は、その傾斜の絶対値はともに等しくされる。

サンプルホールド回路 150 は、正極性のランプ電圧 (RAMP 1) を増幅するバッファアンプ (BAA) と、負極性のランプ電圧 (RAMP 2) を増幅するバッファアンプ (BAB) とを有する。

本実施の形態では、ドレイン信号線 D をバッファアンプで駆動するので、その結果として、ランプ電圧発生回路 400 の表示画像による負荷変動を抑制できるので、高品質の画像を表示することができる。

なお、バッファアンプ (BAA) と、バッファアンプ (BAB) とは、隣接する 2 つのドレイン信号線 (例えば、図 1 に示すドレイン信号 (D1) とドレイン信号線 (D2)) 毎に設けられ、2 つのドレイン信号線で、バッファアンプ (BAA) と、バッファアンプ (BAB) とを兼用する。

【0016】

そのため、本実施の形態では、サンプルホールド回路 150 には、隣接する 2 つのドレイン信号線に対応する 2 つのコンパレータ 140 の出力が入力される。

そして、交流化信号 (M, MB) で制御されるスイッチング素子 (SW1) により、一方のコンパレータ 140 の出力を、正極性のランプ電圧 (RAMP 1) をサンプリングするスイッチング素子 (SWA)、あるいは、負極性のランプ電圧 (RAMP 2) をサンプリングするスイッチング素子 (SWB) に出力し、同時に、他方のコンパレータ 140 の出力を、スイッチング素子 (SWB)、あるいは、スイッチング素子 (SWA) に出力する。

また、交流化信号 (M, MB) で制御されるスイッチング素子 (SW2) によ

り、正極性のランプ電圧 (RAMP 1) を増幅するバッファアンプ (BAA) の出力を、一方のドレイン信号線、あるいは、他方のドレイン信号線に出力し、同時に、負極性のランプ電圧 (RAMP 2) を増幅するバッファアンプ (BAB) の出力を、他方のドレイン信号線、あるいは、一方のドレイン信号線に出力する。

【0017】

例えば、図1の場合、交流化信号 (M) がHレベル、交流化信号 (MB) がLレベルの時、ドレイン信号線 (D1) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWA) に、並びに、ドレイン信号線 (D2) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWB) に入力され、そして、ドレイン線 (D1) には、バッファアンプ (BAA) の出力電圧が、並びに、ドレイン線 (D2) には、バッファアンプ (BAB) の出力電圧が出力される。

また、交流化信号 (M) がLレベル、交流化信号 (MB) がHレベルの時、ドレイン信号線 (D1) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWB) に、並びに、ドレイン信号線 (D2) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWA) に入力され、そして、ドレイン線 (D1) には、バッファアンプ (BAB) の出力電圧が、並びに、ドレイン線 (D2) には、バッファアンプ (BAA) の出力電圧が出力される。

【0018】

これにより、ドレイン線Dに供給する映像信号の極性を、隣り合うドレイン信号線の間で、1水平走査ライン毎に反転することができる。なお、図1において、LSは、レベルシフト回路である。

ゲートドライバ500は、タイミング制御回路200から送出されるスタート信号 (VST)、クロック (VCK) で動作し、表示部800のゲート線Gに、順次1水平走査ライン期間、画素トランジスタ (GTFT) をオンとする走査信号を出力する。

以上の動作により、表示部800に画像が表示される。

本実施の形態では、交流化をサンプルホールド回路150で行なうので、ランプ電圧発生回路400から出力されるランプ電圧 (RAMP 1, RAMP 2) は

、それぞれ正極性および負極性のまま極性を変化させなくても良いため、電圧振幅を低減し、消費電力を低減できる。

さらに、ランプ発生回路 400 の出カインピーダンスを低減し、遅延時間を短くできるので、高い品質の表示画像を得ることができる。

【0019】

図 2 は、本実施の形態の液晶表示装置における疑似単結晶領域を説明するための模式図である。

図 2 に示すように、本実施の形態では、表示部 800 の周囲に周辺回路 810 が配置され、この周辺回路 810 に、ドレインドライバ 100、タイミング制御回路 200、参照データ発生回路 300、ランプ電圧発生回路 400、並びに、ゲートドライバ 500 が配置される。

これらの回路は、ガラス基板 1 上に形成される半導体層（前述した疑似単結晶領域）に形成される。

ここで、前述の疑似単結晶領域 820（図 11 における符号 3 に相当する）は、図 2 に示す矢印（→）方向に、島状に形成される。これは、図 2 に示す矢印（→）方向と反対方向にガラス基板 1 を走査して、疑似単結晶領域 820 を形成するためである。1 つの疑似単結晶領域 820 の中には複数の薄膜トランジスタが配置される。

前述したように、多結晶シリコンを溶融、再結晶化して、疑似単結晶領域を形成する場合に、再結晶化の状態は、レーザ照射強度の強度差によって変化する。

そのため、疑似単結晶領域 820 に薄膜トランジスタを形成する場合、薄膜トランジスタの特性（例えば、移動度など）は、各疑似単結晶領域 820 毎にばらつきが生じることになる。

【0020】

このため、本実施の形態では、薄膜トランジスタの特性として、ばらつきの小さいものが求められる複数の薄膜トランジスタを、同一の疑似単結晶領域内に形成する。

即ち、例えば、差動増幅回路の差動対のトランジスタ、あるいは、カレントミラー回路を構成する一対のトランジスタなどを、同一の疑似単結晶領域に形成す

る。これにより、薄膜トランジスタの特性のばらつきを小さくすることが可能となる。

図3は、疑似単結晶領域に形成される薄膜トランジスタを模式的に示す構造図である。

図3に示す薄膜トランジスタは、疑似単結晶領域820をエッチングなどによりさらに小さな島状の領域5に加工し、ゲート酸化膜13を形成し、更にその上にゲート電極12を形成して作成される。1つの疑似単結晶領域820の中に複数の領域5が設けられ、複数の薄膜トランジスタが形成される。

なお、図3において、10はソース領域、11はドレイン領域であり、また、矢印Aはガラス基板1の走査方向、矢印Bは結晶化方向を示す。

島状に形成される疑似単結晶領域820に形成される薄膜トランジスタにおいて、良好な移動度を得るために、ソース・ドレインの方向（ゲート長の方向）を結晶成長方向（図3に示す矢印Bの方向）とほぼ平行になるよう配置することが知られている。この場合、結晶の長手方向に対してゲート長の方向が±20度以内の傾きとなるように配置すればよい。

【0021】

以下、本実施の形態における、薄膜トランジスタの特性として、ばらつきの小さいものが求められる複数の薄膜トランジスタの配置方法を、ペア薄膜トランジスタを例に挙げて説明する。

図4は、本実施の形態の薄膜トランジスタの配置方法を説明するための模式図である。

図4に示すように、本実施の形態では、各薄膜トランジスタ（TF T1, TF T2）のソース・ドレインの方向を結晶成長方向（図4に示す矢印Bの方向）とほぼ平行（±20度以内）にするだけでなく、各薄膜トランジスタ（TF T1, TF T2）のゲート幅（W）の中心を結ぶ直線も結晶成長方向と平行に配置する。

このように配置することで、疑似単結晶領域における、同じレーザ強度分布で溶融、再結晶化した部分に、ペアトランジスタ（TF T1, TF T2）が形成されるので、薄膜トランジスタの特性のばらつきを小さくして、トランジスタ特性

の良好な整合性を得ることができる。

【0022】

尚、本実施の形態において、必ずしも、各薄膜トランジスタ（TF T 1, TF T 2）のゲート幅（W）の中心を結ぶ直線を結晶成長方向と平行に配置する必要はない。

図5に示すように、トランジスタの特性として、互いにばらつきの小さいものが求められる2つ以上の薄膜トランジスタ（TF T 1, TF T 2）を、それぞれの薄膜トランジスタのゲート長の方向が、帯状に成長した結晶の長手方向に対して±20度以内の傾きで配置するとともに、ゲート幅（E）の薄膜トランジスタ（TF T 1）のチャネル領域を、帯状に成長した結晶の成長方向と平行に仮想的に延長した領域と、ゲート幅（W）の薄膜トランジスタ（TF T 2）のチャネル領域を、帯状に成長した結晶の成長方向と平行に仮想的に延長した領域とが、お互いに少なくとも一部が重畳するように配置されていればよい。

ここで、この重畳する部分の割合は、50%以上、より好ましくは80%以上が望ましい。即ち、図5に示すDの長さが、薄膜トランジスタ（TF T 2）のゲート幅（W）の50%以上、より好ましくは、80%以上であることが望ましい。

尚、本実施の形態に加え、これらの薄膜トランジスタ（TF T 1, TF T 2）が、複数ある疑似単結晶領域820のうちの同一の疑似単結晶領域820内に配置されていることがさらに望ましい。これ以降に説明する実施の形態についても同様である。

【0023】

図6は、本実施の形態の薄膜トランジスタの配置方法の他の例を説明するための模式図である。

図6に示す例では、ゲート幅（W 1, W 2）が異なる2つの薄膜トランジスタ（TF T 1, TF T 2）の特性ばらつきを小さくする配置方法である。

この例でも、ソース・ドレインの方向を結晶成長方向（図6に示す矢印B）とほぼ平行にするだけでなく、ゲート幅（W 1, W 2）の中心を結ぶ直線も結晶成長方向と平行に配置したものである。

この例は、ゲート幅がレーザの長辺よりも十分小さい場合に効果がある。レーザの強度分布は狭い領域ではほぼ直線に近似でき、薄膜トランジスタの特性はゲート幅の中央の結晶化の状態と相関が取れるからである。

【0024】

図7は、本実施の形態の薄膜トランジスタの配置方法が適用される差動増幅回路を示す回路図である。

図7において、N型MOSトランジスタ（以下、単に、NMOSという）（431, 432）が差動対を成す差動対トランジスタである。また、P型MOSトランジスタ（以下、PMOSという）（433, 434）が能動負荷回路を構成する一対のトランジスタ、PMOS 435が、能動負荷回路の出力がゲートに印加されるトランジスタである。

さらに、NMOS（437, 438）、あるいは、NMOS（437, 439）が、それぞれカレントミラー回路を構成する一対のトランジスタである。

【0025】

図8は、図7に示す差動増幅回路の第1のレイアウト例を示す図である。

図8に示す楕円30で囲まれる部分が、図7に示すPMOS（433, 434, 435）が配置される領域で、各薄膜トランジスタを、各薄膜トランジスタのゲート幅の中心を結ぶ線を結晶化方向とほぼ平行に配置している。

また、図8に示す楕円31で囲まれる部分が、図7に示すNMOS（431, 432）が配置される領域で、各薄膜トランジスタを、各薄膜トランジスタのゲート幅の中心を結ぶ線を結晶化方向とほぼ平行に配置している。

同様に、図8に示す楕円32で囲まれる部分が、図7に示すNMOS（437～439）が配置される領域で、各薄膜トランジスタを、各薄膜トランジスタのゲート幅の中心を結ぶ線を結晶化方向とほぼ平行に配置している。

ここで、PMOS 435、NMOS 439は、ゲート幅が、他のトランジスタの2倍とされる。また、図8に示す全ての薄膜トランジスタは、同一の疑似単結晶領域820内に配置されている。

【0026】

図9は、図7に示す差動増幅回路の第2のレイアウト例を示す図である。

図 8 と相異なる部分は、PMOS 435 と、NMOS 439 のレイアウト方法である。

図 9 に示す例では、他のトランジスタと同じゲート幅のトランジスタを 2 個用いて、電流（ソースドレイン電流）容量を 2 倍としたものである。

図 10 は、図 7 に示す差動増幅回路の第 3 のレイアウト例を示す図である。

図 8 と相異なるのは、各トランジスタに流れる電流（図 10 に示すソースドレイン電流 i ）の方向を一致させた点である。これにより、薄膜トランジスタの特性ばらつきを小さくでき、ペアを構成するトランジスタ対の整合性を向上させることが可能なる。

なお、図 8 ～図 10 において、×はスルーホール（コンタクトホール）を示し、点線は、下の層に形成される配線層を示す。

【0027】

以上説明したように、本実施の形態では、トランジスタの特性として、ばらつきの小さいものが求められる複数の薄膜トランジスタ、例えば、ペアトランジスタのゲート幅を等しくするとともに、ペアトランジスタを、ゲート幅の中心を結ぶ直線が、疑似単結晶領域の結晶化方向と平行になるように配置する。

この結果、ペアトランジスタのチャネル領域に照射されたレーザの強度分布は等しいので、ペアトランジスタの特性の相対誤差を小さくすることができる。

また、カレントミラー回路でゲート幅の異なるトランジスタの整合性をとる場合においても、ゲート幅の中心を結ぶ直線が結晶化方向と平行になるようにペアトランジスタを配置する。

この結果、ゲート幅方向のレーザ強度の平均値を等しくできるので、ペアトランジスタの特性の相対誤差を小さくすることができる。

さらに、例えば、カレントミラー回路で、整数倍の電流比を確保する場合、基準となるゲート幅のトランジスタと同じゲート幅のトランジスタを整数倍用いて、これらのトランジスタをすべて、ゲート幅の中心がゲート幅の中心を結ぶ直線が結晶化方向と平行になるように配置する。

この結果、ペアトランジスタのチャネル領域に照射されたレーザの強度分布は等しいので、ペアトランジスタの特性の相対誤差を小さくすることができる。

なお、これらの実施の形態は、図 5 で説明した変形例と組み合わせるなどの変更が可能である。

【 0 0 2 8 】

したがって、本実施の形態の表示装置によれば、内蔵 D A C に供給する基準電圧発生回路を表示部 8 0 0 と同一基板に形成して、外付けの部品を削減できるので、信頼性の高いディスプレイを提供することができる。

さらに、ドレインドライバのバッファアンプを表示部 8 0 0 と同一基板に形成できるので、線順次駆動方法により、高品位画質のディスプレイを提供できる。

なお、前述の説明では、本発明を、液晶表示モジュールに適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明は、E L 表示装置などの他の表示装置にも適用可能であることはいうまでもない。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 0 0 2 9 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明の表示装置によれば、疑似単結晶技術で作成されたトランジスタであって、差動増幅回路などに使用されるペアトランジスタの特性のばらつきを少なくすることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。

【図 2】

本発明の実施の形態の液晶表示装置における疑似単結晶領域を説明するための模式図である。

【図 3】

疑似単結晶領域に形成される薄膜トランジスタを模式的に示す構造図である。

【図 4】

本発明の実施の形態の薄膜トランジスタの配置方法を説明するための模式図である。

【図 5】

本発明の実施の形態の薄膜トランジスタの配置方法を説明するための模式図である。

【図 6】

本発明の実施の形態の薄膜トランジスタの配置方法の他の例を説明するための模式図である。

【図 7】

本発明の実施の形態の薄膜トランジスタの配置方法が適用される差動増幅回路を示す回路図である。

【図 8】

図 7 に示す差動増幅回路の第 1 のレイアウト例を示す図である。

【図 9】

図 7 に示す差動増幅回路の第 1 のレイアウト例を示す図である。

【図 10】

図 7 に示す差動増幅回路の第 1 のレイアウト例を示す図である。

【図 11】

レーザによる多結晶シリコンの疑似単結晶化方法を説明するための図である。

【図 12】

図 11 に示す多結晶シリコンの疑似単結晶化方法における、X 方向のレーザ照射強度を示すグラフである。

【図 13】

図 11 に示す多結晶シリコンの疑似単結晶化方法における、Y 方向のレーザ照射強度を示すグラフである。

【符号の説明】

1…ガラス基板、2…多結晶シリコン膜、3, 820…疑似単結晶領域、4…レーザ、10…ソース領域、11…ドレイン領域、12…ゲート電極、13…ゲ

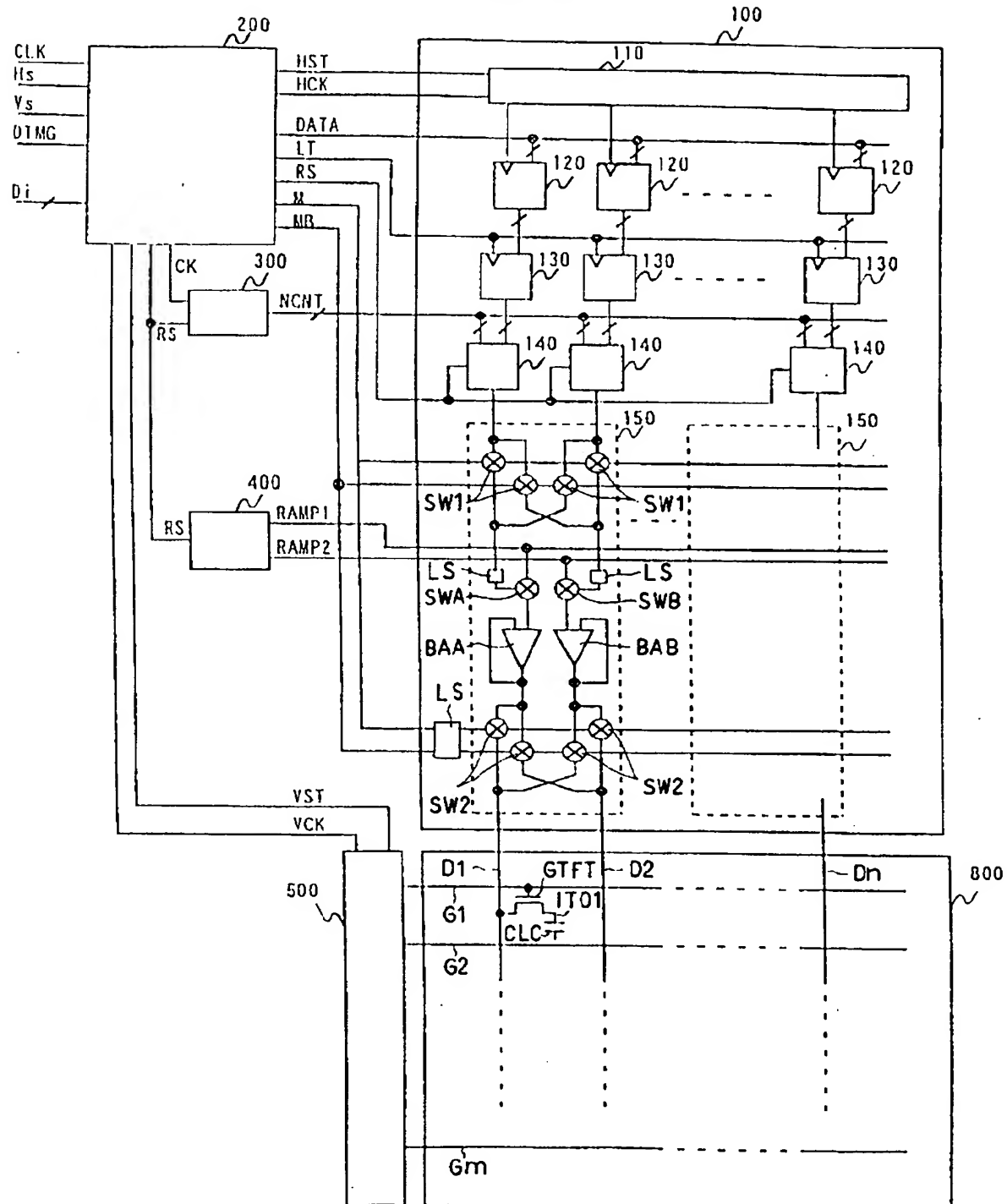
ート酸化膜、1 0 0…ドレインドライバ、1 1 0…シフトレジスタ、1 2 0, 1 3 0…ラッチ回路、1 4 0…コンパレータ、1 5 0…サンプルホールド回路、2 0 0…タイミング制御回路、3 0 0…参照データ発生回路、4 0 0…ランプ電圧発生回路、4 3 1, 4 3 2, 4 3 7～4 3 9…N型MOSトランジスタ、4 3 3～4 3 5…P型MOSトランジスタ、5 0 0…ゲートドライバ、8 0 0…表示部、8 1 0…周辺回路、BA…バッファアンプ、SW1, SW2, SWA, SWB…スイッチング素子、LS…レベルシフト回路、TFT…薄膜トランジスタ、GTFT…画素トランジスタ、W…ゲート幅、D…ドレイン信号線、G…ゲート信号線。

【書類名】

図面

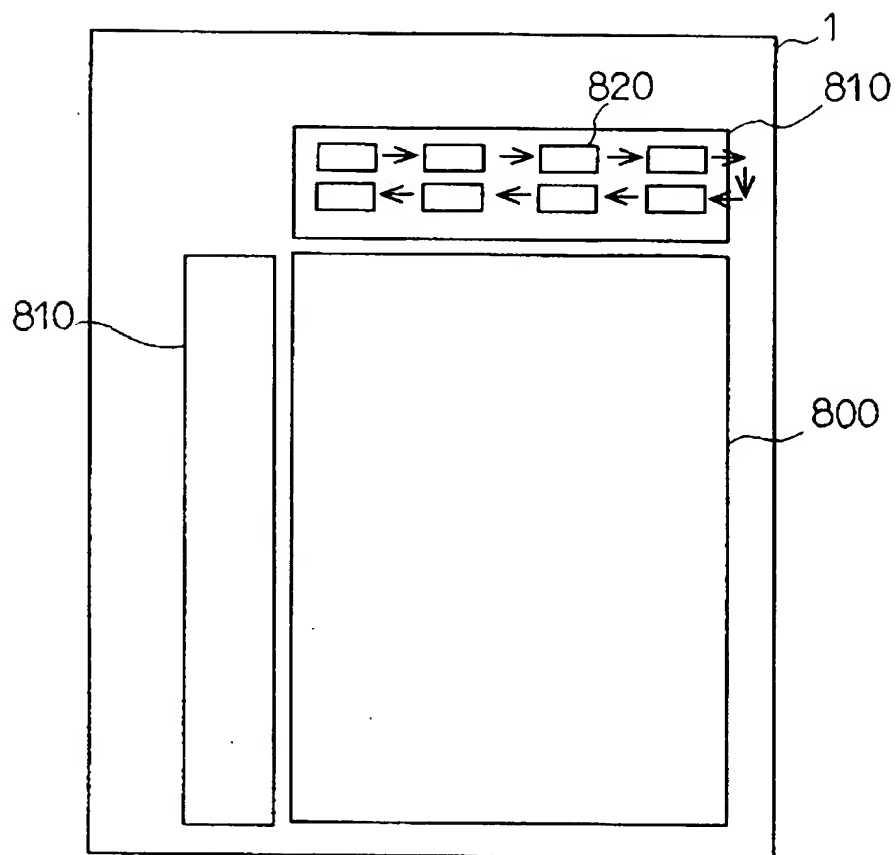
【図 1】

図 1

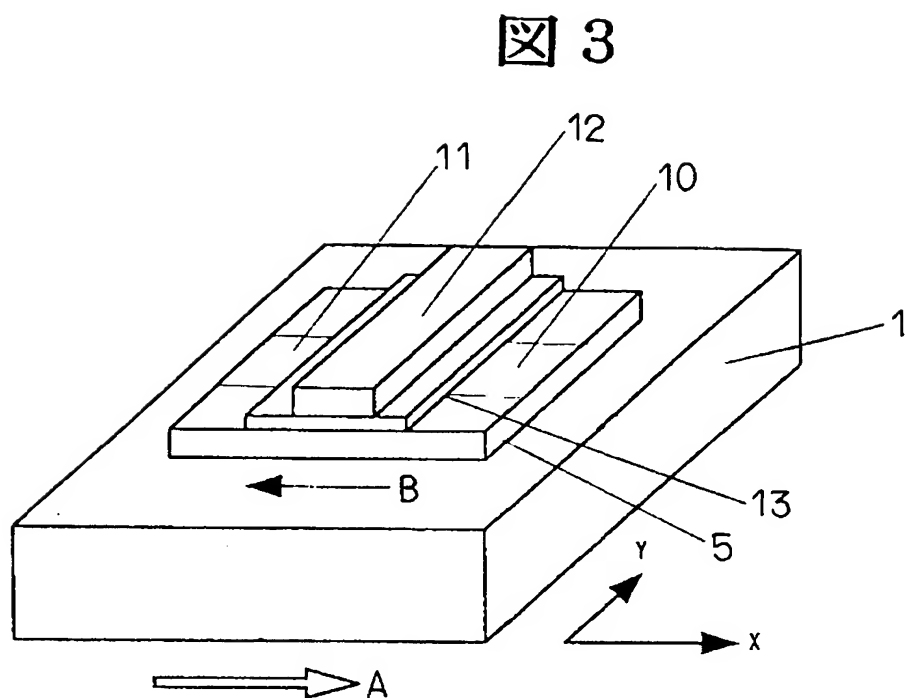


【図 2】

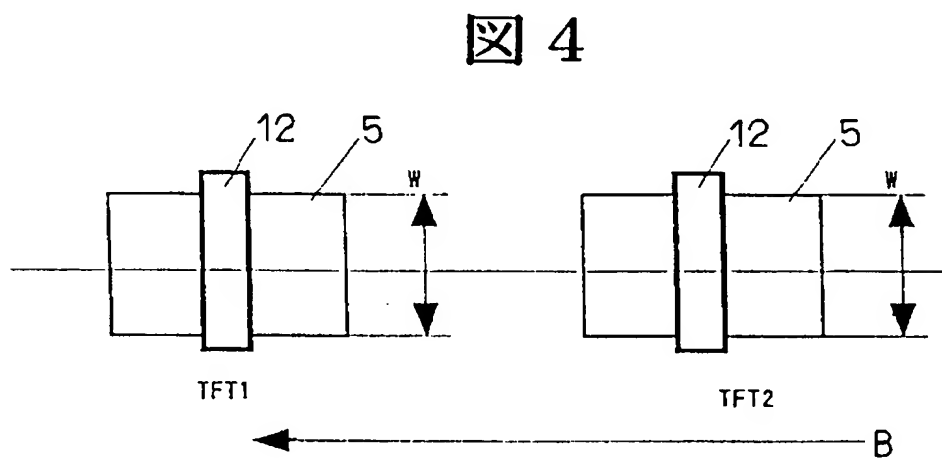
図 2



【図 3】

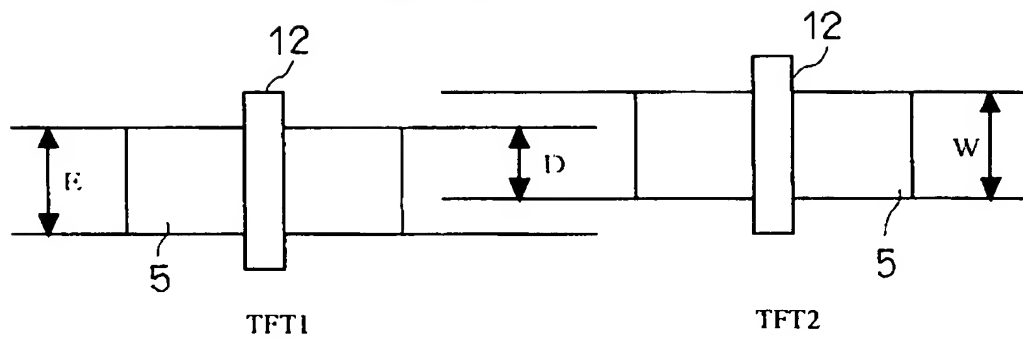


【図 4】



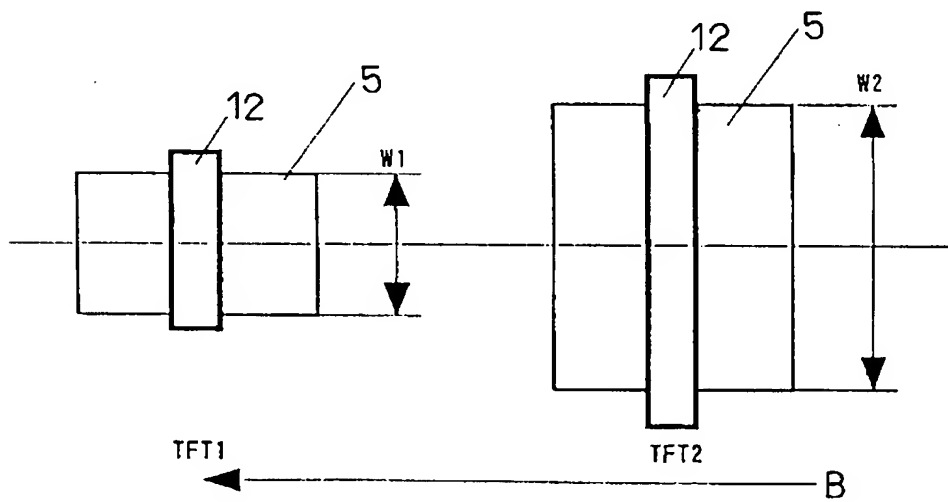
【図 5】

図 5



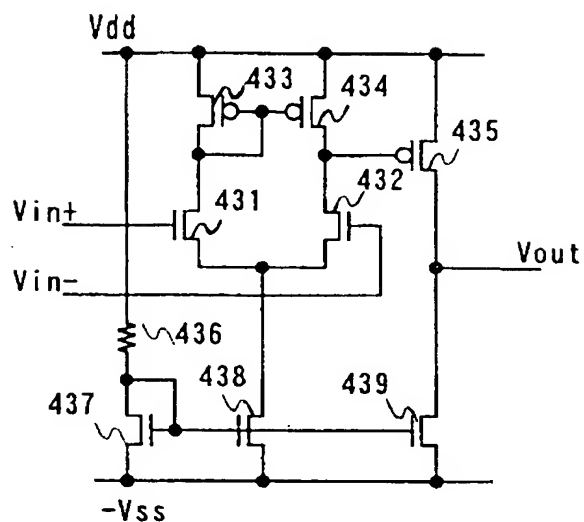
【図 6】

図 6



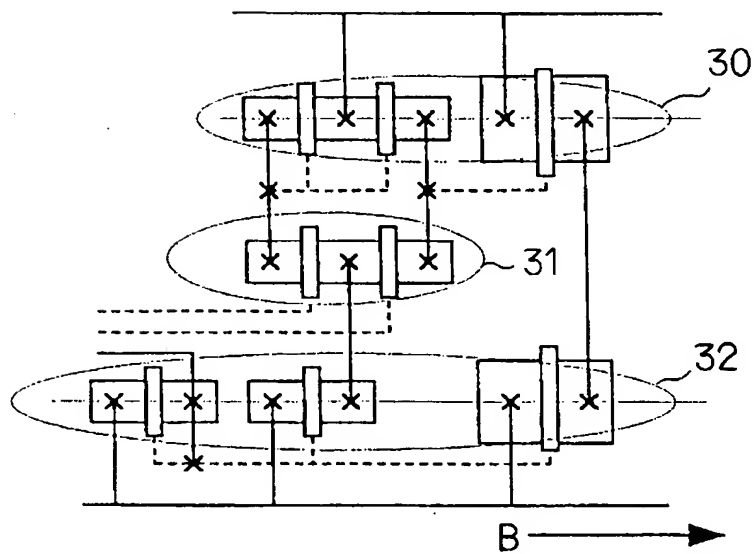
【図 7】

図 7



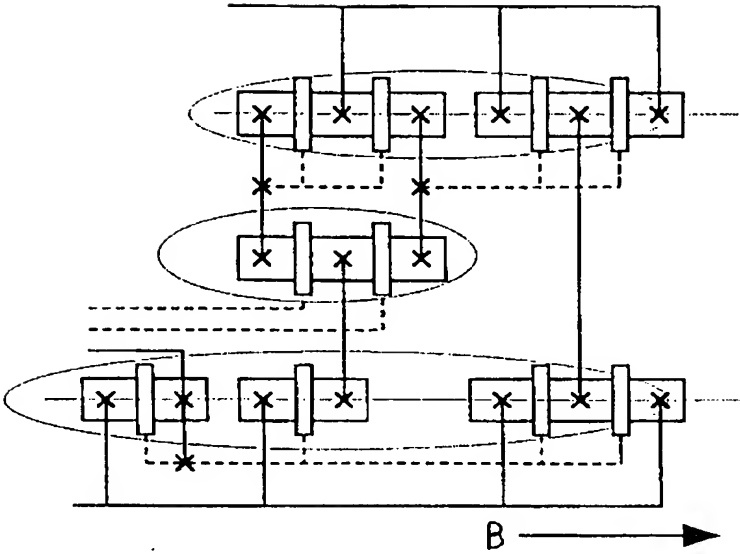
【図 8】

図 8



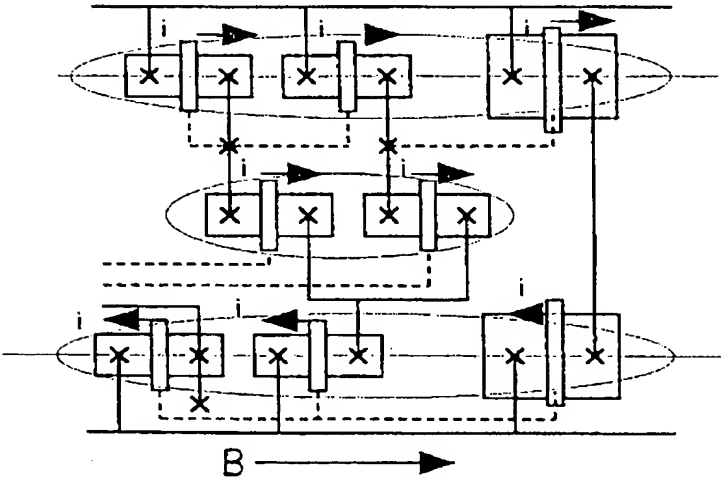
【図 9】

図 9



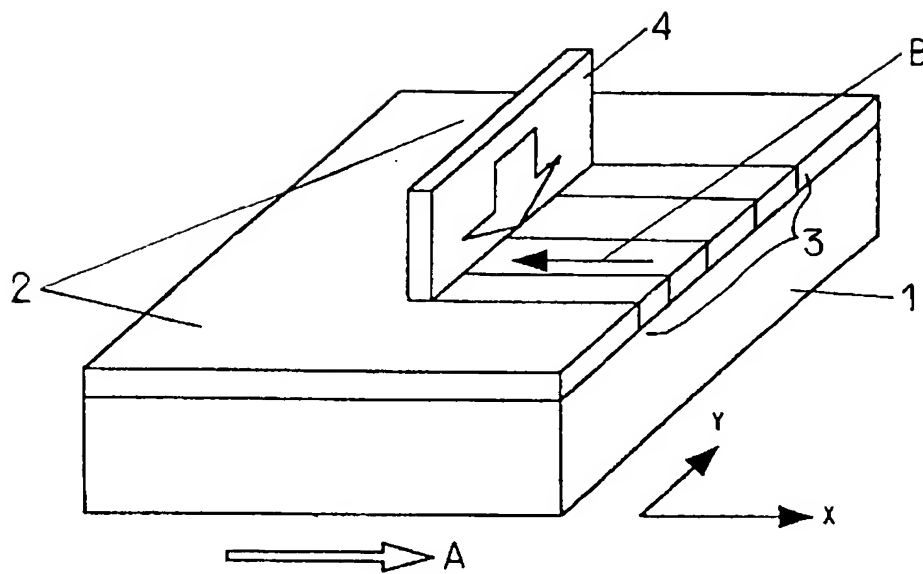
【図 10】

図 10



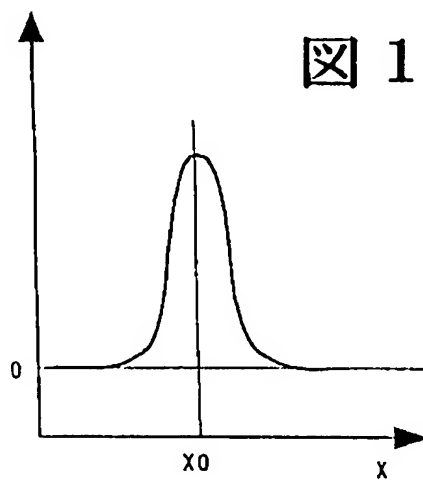
【図 11】

図 11

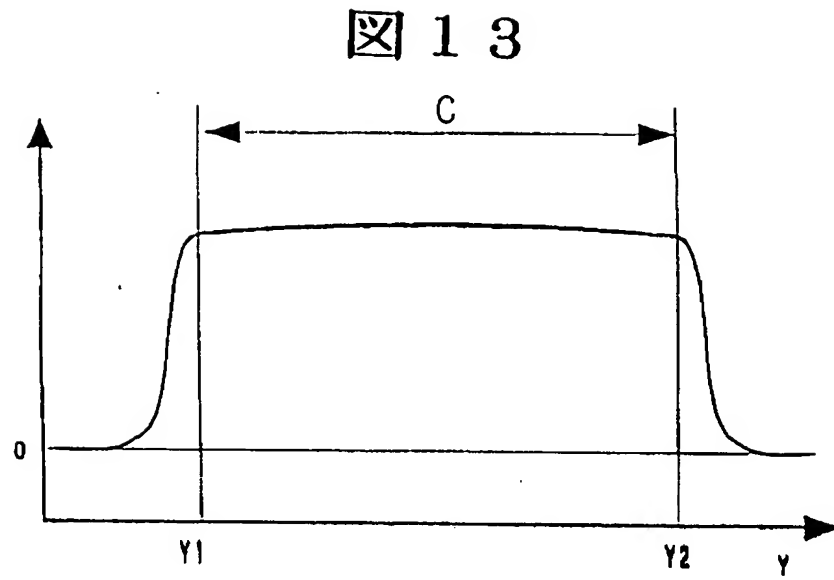


【図 12】

図 12



【図 13】



【書類名】 要約書

【要約】

【課題】 疑似単結晶技術で作成されたトランジスタであって、差動増幅回路などに使用されるペアトランジスタの特性のばらつきを少なくすることが可能な表示装置を提供する。

【解決手段】 基板上に設けられた疑似単結晶領域を有する半導体層と、前記疑似単結晶領域内に設けられた複数の薄膜トランジスタとを備え、前記複数の薄膜トランジスタのうち、トランジスタの特性として、互いにばらつきの小さいものが求められる 2 つ以上の薄膜トランジスタが、それぞれの薄膜トランジスタのゲート長の方向が前記帯状に成長した結晶の長手方向に対して ± 20 度以内の傾きで配置されているとともに、それぞれの薄膜トランジスタのチャネル領域を前記帯状に成長した結晶の成長方向と平行に仮想的に延長した時にお互いに少なくとも一部が重畳するように配置される。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 7 2 9 0
受付番号	5 0 2 0 1 9 7 5 9 6 2
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 1 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年12月26日
-------	-------------

次頁無

特願 2 0 0 2 - 3 7 7 2 9 0

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ